

Processo Didático na Fabricação de Chips MOS para estudantes de Engenharia/UNISANTA

Djalmir Corrêa Mendes¹, Aureo Emanuel Pasqualetto Figueiredo², Jean Louis Noullet³

Introdução — A finalidade deste trabalho é demonstrar a estratégia didática dirigida aos alunos dos cursos de graduação nas diversas habilitações em Engenharia Elétrica, de processos de tecnologia de ponta, como subsídios e meios no desenvolvimento de estudos, pesquisas, treinamento e fabricação de CIs, no âmbito da MICROELETRÔNICA.

A base operacional é o intercâmbio franco-brasileiro entre o AIME (Atelier Interuniversitaire de Microelectronique) Toulouse/França e a UNISANTA (Universidade Santa Cecília) Santos/Brasil, que envolve além de professores/técnicos franceses e brasileiros, um grupo de alunos com o pré-requisito de conhecimento de eletrônica básica, circuitos e sistemas digitais.

O programa se desenvolve em 6 meses, de fevereiro a julho, com aulas específicas enfocando conceitos da física quântica, física do semicondutor e microeletrônica, etapa realizada na UNISANTA.

A etapa de fabricação dos chips é realizada na "salle blanche" do AIME, quando os alunos estudam um projeto segundo as normas do "Atelier", aplicando seus conhecimentos nos processos de fabricação dos CIs, em Toulouse.

Dentro dos conceitos "VLSI", quatro máscaras são, então, utilizadas, assim como o processo de auto-alinhamento de "gate". Com isso, pode-se obter transistores cujos canais são menores que 10 micra, possibilitando, desta forma, agrupar cerca de 25 transistores numa área 1 milímetro quadrado. Além dos transistores, também são implementados capacitores MOS, diodos e resistores MOS, perfazendo um conjunto de dispositivos úteis na diversificação dos projetos envolvendo contadores, seqüenciadores, osciladores em anel, portas lógicas, etc. Ao final são realizadas medições, especificações e encapsulamento dos chips como produto final.

O PROJETO

Este projeto na área da microeletrônica, fundamentalmente se baseia nos conceitos e processos para implementação de "chips" contendo transistores de canais NMOS, com portas de polisilício construídas por auto-alinhamento, em prazo limitado de uma semana, na *salle blanche* (sala limpa) do AIME.

Dada a avançada tecnologia necessária à realização de um CI, são necessários equipamentos altamente sofisticados como microscópios eletrônicos, fornos de altas temperaturas,

câmaras de vácuo, computadores de médio porte, micro processadores, sala de fotolitografia, sala limpa de alta assepsia e super pressionada, reator LPCVD (Low Pressure Chemical Vapour Deposition), equipamentos para teste químicos e eletrônicos a nível molecular, etc.

Assim, através do intercâmbio entre a UNISANTA e o AIME, alunos do curso de graduação de engenharia eletrônica, de telemática e de computação, tem acesso de forma diferenciada a uma tecnologia de ponta que no Brasil, raramente poderiam dispor em sua graduação.

A Universidade de Toulouse e do INSA apóiam o programa aceitando os alunos para o estágio com facilidades no acesso ao campus e restaurante universitário, material para fabricação dos "chips", indicações bibliográficas, acesso da *salle blanche* e informações sobre equipamentos, enfatizando a de segurança individual e coletiva. Destaca-se, além da cooperação prática, um sólido e amigável acompanhamento dos professores e técnicos franceses, proporcionando aos alunos brasileiros um rendimento relevante.

O AIME, segue os princípios básicos na fabricação de um chip de tecnologia MOS, de forma dirigida a torna-los instrumento de aprendizado, viabilizando a assimilação do conhecimento aplicado com alta confiabilidade. Considera-se essencial o aprendizado do processo, buscando sempre um produto final da melhor qualidade.

Por exemplo, a implementação do elemento ativo fundamental de um "CI", o transistor NMOS com porta auto-alinhada, tem suas etapas são definidas em:

1. Análise e caracterização do substrato tipo P
2. Oxidação de Mascaramento
3. Fotogravura 1: Abertura da difusão
4. Limpeza R.C.A.
5. Oxidação seca para a realização da porta
6. Depósito de polisilício dopado tipo N por LPCVD
7. Fotogravura 2: Abertura no Polisilício por plasma
Abertura química do SiO₂ da Porta
8. Difusão de Fósforo na Fonte e no Dreno: Pré-deposição e Redistribuição
9. Depósito de SiO₂ à baixa temperatura por LPCVD
10. Fotogravura 3: Abertura dos contatos
11. Metalização
12. Fotogravura 4: Gravação do Metal
13. Recozimento do Metal
14. Montagem/encapsulamento e teste com micropontas
15. Teste elétrico e eletrônico

¹ Djalmir Correa Mendes, Universidade Santa Cecília, R. Oswaldo Cruz, 266 – 11045-100, Santos/SP, Brasil, mendes@stceecilia.br

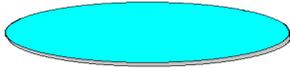
² Aureo Emanuel Pasqualetto Figueiredo, Universidade Santa Cecília, R. Oswaldo Cruz, 266 – 11045-100, Santos/SP, Brasil, aureo@unisanta.br

³ Jean Louis Noullet, Institut National Polytechnique de Toulouse, Avenue de Ranguel, 135, 31077, Toulouse, France, noullet@aime.insa-tlse.fr

Os procedimentos específicos, são consolidados de forma a evidenciar as principais fases do processo como um todo.

1 - Análise e caracterização do substrato tipo P

Nesta etapa, a placa componente é examinada e medidas da espessura da placa e determinando a relação tensão/intensidade. São calculadas a resistividade "r" e a concentração da Dopagem Aceitadora "N_A" imposta à placa.



Observações : Placa de Silício tipo P
Espessura de 300 µm

2 - Oxidação de Mascaramento

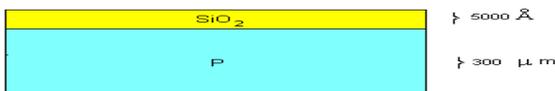
Promove-se a oxidação da plaqueta com espessura de óxido suficiente para que a camada sirva de máscara para a difusão de Fósforo na fonte e no dreno, com:

Limpeza preparatória

- Desengorduramento - Tricloroetileno, após acetona e água DI (a quente)
- Oxidação química - H₂ SO₄ + H₂ O₂ (1/1) 2 min. e água DI
- Ataque do Si O₂- HF diluído, por 30 s.; rinçagem água DI; secagem c/ Nitrogênio
- Lavagem /secagem - Máquina lavadora/secadora

Oxidação Térmica em cinco etapas de forno

| Nº | Temperatura | Tempo | Fluxo |
|----|------------------|------------|--|
| 01 | T=800°C à 1100°C | t=25min | N ₂ = 01 l / min |
| 02 | T = 1100°C | t = 40 min | H ₂ = 2,7 l / min e O ₂ = 1,5 l / mn |
| 03 | T = 1100°C | t = 30 min | O ₂ = 2,2 l / min |
| 04 | T = 1100°C | t = 10 min | Ar = 1,5 l / min |
| 05 | T = 800°C à 110 | t=60min | N ₂ = 01 l / min |



" Wafer " de Silício P com o óxido de mascaramento

3 - Fotogravura 1 : Abertura da difusão

O objetivo dessa etapa é a de realizar aberturas no óxido de mascaramento nas zonas onde se pretende implementar o óxido de Porta. Nesta ocasião, será definido o rendimento do chip fabricado.

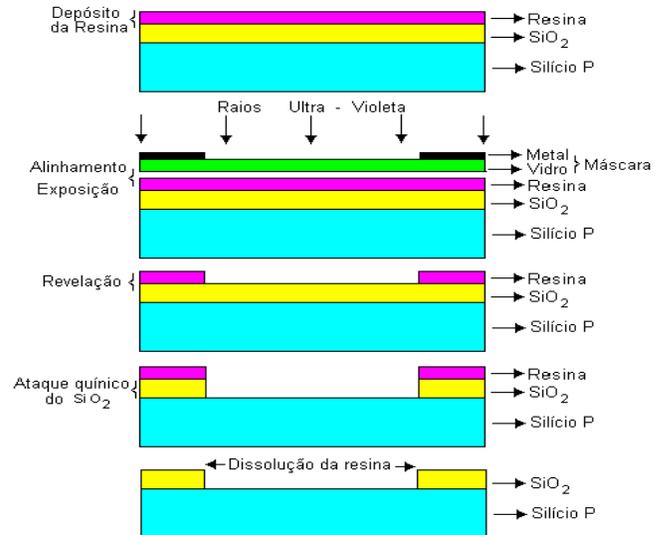
Esta etapa requer operações executadas rigorosamente dentro de padrões, e de sua precisão decorre o sucesso nos testes eletrônicos de checagem a que será submetido no final do processo.

© 2003 ICECE

Assim sendo, a tabela a seguir mostra os passos das operações e condições de execução.

| Nº | Operações | Condições |
|----|-------------------------------|--|
| 01 | Secagem | Estufa com 120 ° C por 5 min |
| 02 | Depósito da resina | Ref : 14000 – 27 Positiva / Centrífuga por 30 s |
| 03 | Primeiro recozimento | Chapa a 100 ° C por 30 s |
| 04 | Alinhamento / Insolação | Por 5 s |
| 05 | Revelação | 20 ° C por 30 s |
| 06 | Gravação do Si O ₂ | Buffer HF conforme tempo da "placa testemunha" |
| 07 | Observações / Análises | Microscópio eletrônico |
| 08 | Dissolução da resina | Acetona e água D I |
| 09 | Limpeza | H ₂ SO ₄ + H ₂ O ₂ |

As operações enumeradas acima, também podem ser interpretadas através dos seguintes esquemas:



4 - Limpeza R.C.A.

Antes da oxidação da Porta, a presente operação tem por finalidade preparar a interface de Si/SiO₂. São cinco os procedimentos:

- 01 - Banho A' - HF diluído por 30 s rinçagem e secagem
- 02 - Banho A - HNO₃ fervente por 10 min rinçagem e secagem

March 16 - 19, 2003, São Paulo, BRAZIL

International Conference on Engineering and Computer Education

- 03 - Banho A' - HF diluído por 30 s rinçagem
- 04 - Banho B - NH₂ OH + H₂ O₂ + H₂ O por 10 min rinçagem
- 05 - Banho C - HCl + H₂ O₂ + H₂ O por 05 min rinçagem e secagem.

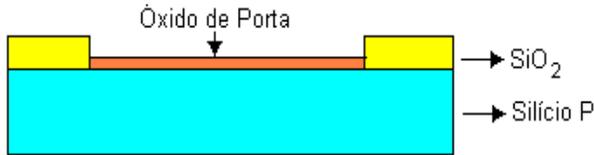
5 - Oxidação seca para a realização da Porta

Antecipando a fase do depósito de polisilício na região da Porta, uma camada bastante fina de óxido deverá ser implementada com a finalidade de estabelecer uma região própria para produção de campo elétrico. Esta operação, realizada em forno com temperatura de 1100 ° C, é dividida em dois ensaios:

1° - Com a duração de 30 minutos estimula-se um fluxo de O₂ igual a 2 l/min.

2° - Com a duração de 10 minutos estimula-se um fluxo de ar igual a 2 l/min

Deve-se como norma de projeto, dar início nesta fase às especificações e caracterizações do processo. O esquema abaixo mostra a oxidação.

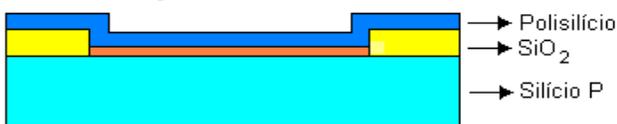


6 - Depósito de Polisilício dopado tipo N por LPCVD

Esta etapa enfoca o depósito de uma camada de Silício Policristalino no intuito de proteger-se o Óxido de Porta da difusão pelo processo "LPCVD" (Depósito de Vapor Químico a Baixa Pressão) e é realizada no reator "LPCVD" em três fases:

| Nº | Temperatura | Tempo | Fluxo | Pressão |
|----|-----------------------|-------------|--|---------------|
| 01 | T = 400 ° C à 585 ° C | t = 45 min | N ₂ = 11 l / min | p = 1 Torr |
| 02 | T = 585 ° C | t = 100 min | SiH ₂ = 50 cc/min; PH ₃ = 2 cc/min | p = 250m Torr |
| 03 | T = 585 ° C à 400 ° C | t = 4x2 min | N ₂ = 1 l / min: ciclos expulsão gas | p = 1 Torr |

O resultado final do processo executado no reator de Depósito de Vapor Químico a Baixa pressão, pode ser resumido no esquema abaixo:



7 - Fotogravura 2 :

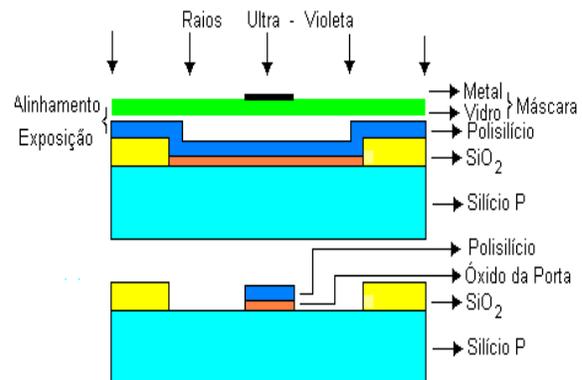
Abertura no Polisilício por plasma
Abertura química do SiO₂ da Porta

Destina-se esta etapa do processo às aberturas do polisilício e no óxido, com objetivo de difundir as regiões de dreno e fonte no "chip", buscando fixar o comprimento "L"

do canal. São doze os passos a serem efetuados:

| Operações | Condições |
|-----------------------------------|---|
| 01 – Secagem | Estufa de 120 ° C por 5 min |
| 02 – Depósito de resina | 1400 – 27 Positiva (4000 r / min por 30 s) |
| 03 – Recozimento | Chapa de 100 ° C por 60s |
| 04 - Alinhamento / Insolução | Por 5 s |
| 05 – Revelação | 20 ° C por 45 s |
| 06 – Observação | Microscópio |
| 07 – Recozimento | Chapa 120 ° C por 45 s |
| 08 – Gravação do Polisilício | Gravação iônica reativa (Fluxo SF ₆ : 30cc/mn; Pressão : 0,02 m bar; Potência RF : 50 W) |
| 09- Gravação do Si O ₂ | Buffer HF : Tempo conforme placa testemunha 1 |
| 10 – Observação | Microscópio |
| 11 – Dissolução da resina | Acetona e água DI |
| 12 – Limpeza | H ₂ SO ₄ + H ₂ O ₂ |

O produto final está representado abaixo:



08 Difusão de fósforo na fonte e no Dreno : Pré-deposição e redistribuição

Para a difusão do fósforo nas regiões do dreno e da fonte realizam-se duas tarefas definidas por pré-deposição e redistribuição. Também nesta etapa, as placas testemunhas são expostas aos fornos.

Na pré-deposição, três ciclos são observados

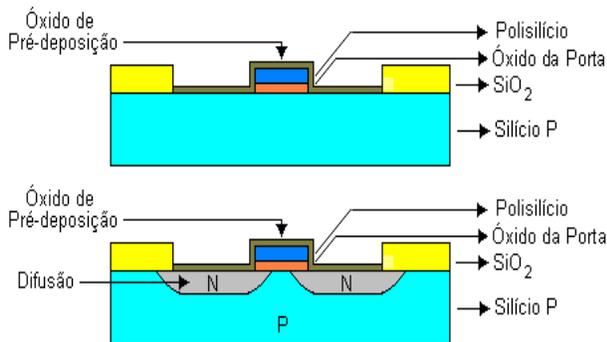
| Nº | Temperatura | Tempo | Fluxo |
|----|--------------|-----------|----------------------------|
| 01 | T = 1050 ° C | t = 5 min | N ₂ = 2 l / min |

- 02 T = 1050 ° C t = 5 min N₂ = 2 l / min PO Cl₃ = 5 mg / min
- 03 T = 1050 ° C t = 5 min N₂ = 2 l / min

Na redistribuição, a tarefa é concluída num único ciclo, sendo, nesta ocasião medida a espessura do óxido de difusão pelo método da elipsometria .

| Nº | Temperatura | Tempo | Fluxo |
|----|--------------|------------|--------------------------|
| 01 | T = 1100 ° C | t = 10 min | N ₂ = 1 l/min |

Esta etapa pode ser esquematizada da seguinte forma:

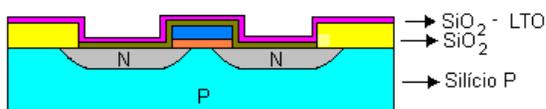


9 - Depósito de SiO₂ à baixa temperatura por LPCVD

Em seguida à difusão de fonte e de dreno, deposita-se sobre toda a placa uma camada isolante protetora de Óxido de Silício (Si O₂) a LTD (Low Temperature Oxidation) para limitar as correntes de superfície. Esta operação é realizada no forno LPCVD (Low Pressure Chemical Vapor Deposition), que também deverá conter a placa testemunha 2. As medidas da espessura e do índice de refração deste óxido pelo método da elipsometria são realizadas em duas fases sob as condições:

| Nº | Temperatura | Tempo | Fluxo | Pressão |
|----|-------------|-------------|---|----------------|
| 01 | T = 420 ° C | t = 100 min | SiH ₄ = 30cc/min ; O ₂ = 60 cc/min | p = 3000 mTorr |
| 02 | T = 420° C | t = 2x2 min | N ₂ = 1 l/min : ciclos de vácuo e expulsão do gases | p = 1 Torr |

Esta etapa pode ser representada como :

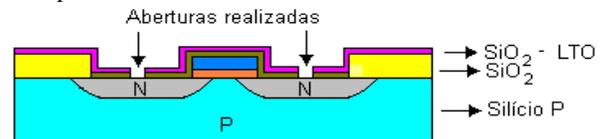


10 - Fotogravura 3 : Abertura dos contatos

A máscara de número 3, é utilizada para abrir as regiões onde serão conectados os contatos metálicos. Tal operação é realizada nas onze fases seguintes:

| Operações | Condições |
|------------------------------------|---|
| 01 – Secagem | Estufa de 120 ° C por 5 min |
| 02 – Depósito de aderência(HMDS) | Centrífuga com 4000 r / min por 30 s |
| 03 – Depósito da resina | Ref 1400-27 pos Centrífuga com 4000 r/min p/30 s |
| 04 – Recozimento | Chapa com 100 ° C por 60s |
| 05 – Alinhamento / Insolação | Por 5 s |
| 06 – Revelação | A 20 ° C por 30 s |
| 07 – Observação | Microscópio |
| 08 – Recozimento | Chapa com 120 ° C por 45 s |
| 09 – Gravação do Si O ₂ | Buffer HF : Tempo conforme placa testemunha 2 |
| 10 – Observação | Microscópio |
| 11 – Dissolução da resina | Acetona e água DI |

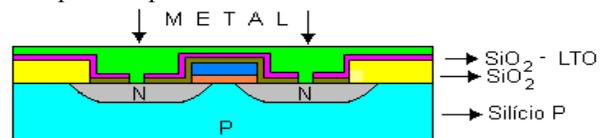
O esquema abaixo mostra como as aberturas:



11 – Metalização

A operação de *metalização* tem por finalidade depositar uma camada de cerca de 500 ηm de alumínio sobre a placa. Há dois métodos para se realizar a operação:

- 1º) Evaporação térmica sob vácuo
Degazagem – Temperatura por Tempo
Depósito : - Pressão antes do depósito em mbar
Pressão durante o depósito
Pressão após o depósito
- 2º) Pulverização catódica
Depósito: - Pressão antes do depósito = 10 - 7 mbar
Pressão durante o depósito = 2.10 – 3 mbar
Potência RF = 250
Distância alvo – substrato = 75mm
Tempo de depósito + 10 min

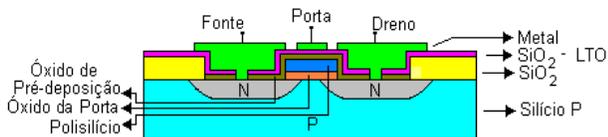


12 - Fotogravura 4 : Gravação do Metal

Nesta etapa o metal é gravado por processo químico na máscara número 4. Para isso realizam-se de 17 passos :

| Nº | Operações | Condições |
|----|---|---|
| 01 | Homogeneizar a solução de ataque ao "alumínio". | Colocar a solução nos ultrasons |
| 02 | Secagem | Estufa com 120 °C p/5 min |
| 03 | Depósito da resina | Ref 1400-27 pos.Centrífuga com 4000 r/min por 30 s |
| 04 | Recozimento | Chapa com 100 °C por 60s |
| 05 | Alinhamento / Insolação | Por 5 s |
| 06 | Revelação | A 20 °C por 30 s |
| 07 | Observação | Microscópio |
| 08 | Recozimento | Chapa com 120 °C por 45s |
| 09 | Gravação do alumínio | Solução: (40 vol. H ₃ PO ₄ + 7vol. HNO ₃ + 7vol. H ₂ O) com controle visual mais 30s de ataque suplementar |
| 10 | Observação | Microscópio |
| 11 | Dissolução da resina | Acetona e água DI |
| 12 | Proteção face AV | Cera ou resina |
| 13 | Desoxidação face AR | Buffer HF (ataque SiO ₂ LTO residual) |
| 14 | Gravação de polisilício face AR | Solução: (1vol. H ₃ PO ₄ + 71vol. HNO ₃ + 28vol.H ₂ O) controle final visual:c |
| 15 | Desoxidação face AR | Buffer HF (ataque SiO ₂ na Porta ou "Gate") |
| 16 | Dissolução da cera+resina | Trichlo + acetona + água DI |
| 17 | Secagem | Máquina secadora |

O modelo final do chip poderá ser representado pelo esquema abaixo.



13 - Recozimento do Metal

Nesta etapa, um novo forno será requisitado sob novas condições. Nesta operação, é medida a espessura do alumínio na placa componente com o perfilômetro. As novas condições são apresentadas a seguir:

Nº Temperatura Tempo Fluxo

01 T = 400 °C t=20min N₂ + H₂ (5%) = 1 l / min

14 - Montagem/encapsulamento e teste com micropontas

Esta etapa é realizada em quatro operações:

1) Teste sob pontas – deve ser feito um mapeamento (cartografia) da placa para determinar a/as região/ões onde se situa/m os melhores componentes, para então selecioná-los .

2) Corte – a placa será cortada com micro Serra de corte diamantado, devidamente comandada e programada por microcomputador. .

3) Montagem – será realizada em base para soldas por eutética ouro/silício numa temperatura de 370° C.

4) Microsolda – são realizadas por ultra-som . Utiliza-se *Wedge bonding* de fio de alumínio /silício 5% com seção circular de diâmetro igual a 25µm, com o auxílio de microscópio eletrônico.

15 - Teste elétrico e eletrônico

É a tarefa final do processo. Através de medidas efetuadas sobre o desempenho do CI, poder-se-á registrar valores de corrente e capacitâncias em função da tensão, construindo os gráficos e tabelas, que por simples inspeção e análise mostrarão o grau de rendimento alcançado na implementação do "chip" .

Estas medidas podem ser classificadas em dois grupos :

1°) Medidas de corrente (I) em função da tensão (V)

Características da "I_d" em função da "V_{ds}"/"V_{gs}" de um transistor de canal longo.

Características da "I_d" em função da "V_{ds}"/"V_{ds}" de um transistor de canal longo.

Características da "I_d" em função da "V_{ds}"/"V_{gs}" de um transistor de canal curto.

Características da "I_d" em função da "V_{ds}"/"V_{ds}" de um transistor de canal curto.

Características da "I" em função da "V".

2°) Medidas de capacitância (C) em função da tensão (V).

Características da "C" MOS em função da "V".

Conclusões

Além de transistor de canal NMOS, pode-se também implementar outros dispositivos com a metodologia inerente à microeletrônica, com por exemplo resistores NMOS , capacitores NMOS , portas lógicas, Flip-flops, etc. através de outras etapas e processos, com a mesma tecnologia.

Porém, o melhor resultado é alcançar o objetivo do aprendizado, que vai incentivar os alunos na continuidade das pesquisas e servir de valioso elemento em suas carreiras.

Por esta razão, em oito anos de intercâmbio, oitenta e dois alunos já participaram do programa na França, dos quais dezessete optaram pela iniciação científica em microeletrônica e seis engenheiros recém formados, cursam mestrado no LSI (Laboratório de Sistemas Integrados) da USP - SP .