

E2HDL: UMA NOVA FERRAMENTA DE SÍNTESE PARA IMPLEMENTAR EQUAÇÕES ALGÉBRICAS EM FPGA

Adriano dos Santos Cardoso¹, Alexandre César Rodrigues da Silva² e Aparecido Augusto de Carvalho³

Resumo — O desenvolvimento de ferramentas de síntese automática permite que projetistas gerem uma descrição de Hardware sem a necessidade do conhecimento profundo da tecnologia em que o sistema será implementado. Este artigo apresenta uma ferramenta de síntese para projetos de sistemas digitais denominada E2HDL (Equação para Linguagem de Descrição de Hardware). Com a especificação dos parâmetros da equação, a ferramenta desenvolvida gera um modelo em linguagem de descrição de hardware, podendo ser a AHDL ou a VHDL, que implementa a equação desejada. Esta ferramenta em conjunto de ambientes de síntese comerciais possibilita a configuração, em FPGA, de uma grande quantidade de formas de ondas, utilizando somente recursos digitais. Para avaliar a sua eficiência implementou-se em FPGA uma grande variedade de formas de ondas como, por exemplo, seno, sigmoide, gaussiana e muitas outras. Diferentes especificações puderam ser avaliadas. A ferramenta, apresentou-se como uma poderosa contribuição para a criação automatizada de circuitos digitais.

Palavras Chave — Ferramenta de Síntese, FES, FPGA, VHDL.

INTRODUÇÃO

Com a evolução dos processos de produção tecnológicos, os sistemas de integração de circuitos se tornaram mais complexos. O mercado demanda por circuitos mais eficientes e pela redução nos prazos de desenvolvimento. Esses fatores, justificam a utilização cada vez mais freqüente da automação dos processos de desenvolvimento dos projetos.

Circuitos com centenas de elementos apresentam uma dificuldade enorme de serem implementados com ferramentas CAD (*Computer Aid Design*), baseadas em captura de esquemático. Atualmente, os projetos vêm sendo desenvolvidos com ferramentas com níveis mais altos de abstração, usando HDLs (*Hardware Description Language*) e métodos de detalhamento e refinamento automático.

Os sistemas e processos digitais podem ser representados em função de um domínio e, em cada domínio por um nível de abstração.

A representação de um modelo que contém os níveis de abstração e os domínios de descrição de um sistema digital foi proposta pela primeira vez por Gajski e Kuhn [1], o chamado Diagrama Y, apresentado na Figura 1.

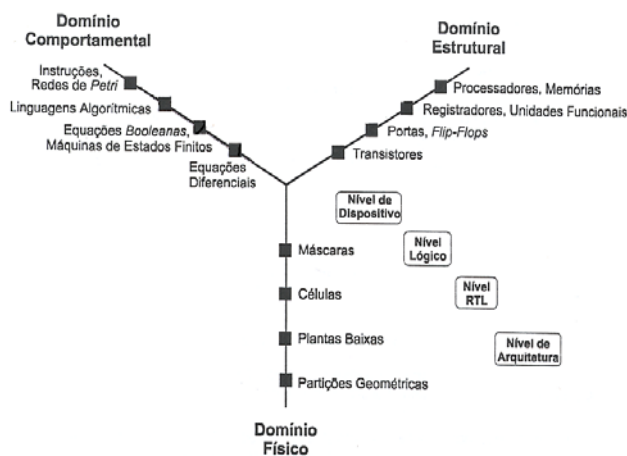


FIGURA 1.

ELEMENTOS PRIMITIVOS DE CADA NÍVEL DE ABSTRAÇÃO NO DIAGRAMA DE GAJSKI E KUHN (DIAGRAMA Y).

Neste diagrama, os níveis de abstração (Nível de Dispositivo, Nível Lógico, Nível RTL, Nível de Arquitetura) são identificados pelas suas distâncias do centro do diagrama, enquanto os segmentos de reta radiais correspondem a domínios de descrição. Por exemplo, um diagrama de esquemáticos de portas lógicas TTL é uma descrição estrutural lógica, estando, portanto, localizado na intersecção do eixo rotulado Domínio Estrutural com o nível lógico de abstração.

A Figura 2 representa o diagrama de Gajski da ferramenta desenvolvida. A E2HDL leva do nível de abstração de Equações Algébricas para o nível de Equações

¹ Adriano dos Santos Cardoso, Universidade Estadual Paulista “Julio de Mesquita Filho”, Av Brasil Centro, 56, Departamento Engenharia Elétrica cardoso@dee.feis.unesp.br

² Alexandre César Rodrigues da Silva, Universidade Estadual Paulista “Julio de Mesquita Filho”, Av Brasil Centro, 56, Departamento Engenharia Elétrica acrsilva@dee.feis.unesp.br

³ Aparecido Augusto de Carvalho, Universidade Estadual Paulista “Julio de Mesquita Filho”, Av Brasil Centro, 56, Departamento Engenharia Elétrica aac@dee.feis.unesp.br

Booleanas. O ambiente de projeto MAX + Plus II leva o nível de portas lógicas (Compilador) e, finalmente, para o nível de Planta Baixa (Configurador de FPGA).

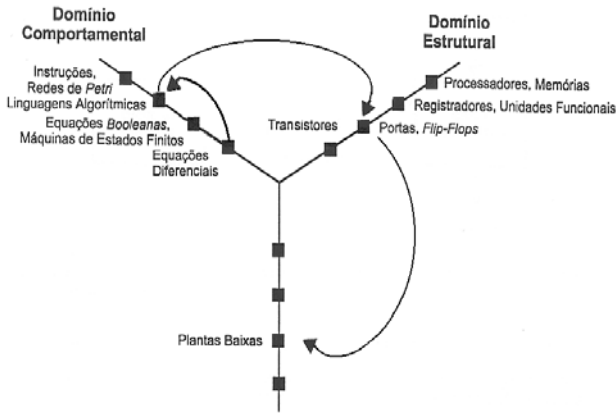


FIGURA 2.
REPRESENTAÇÃO DAS TRANSIÇÕES OCORRIDAS COM A E2HDL.

Uso de Lógica Programável

O uso de Lógica Programável (LP) está ligada intrinsecamente com o uso de tecnologias digitais, ou seja, criar um projeto com tecnologia FPGA (que é a LP escolhida), é criar um projeto digital. Projetos digitais podem-se utilizar de equipamentos variados como microprocessadores, tecnologia discreta e tecnologia de lógica programável, entre outros. A utilização do FPGA é decorrente de algumas vantagens tais como:

- Arquitetura em Hierarquia de Projeto;
- Paralelismo, o que leva a vários processos ou projetos simultâneos;
- Relógio (Clock) Elevado;
- Reutilização de Programas;
- Grande número de E/S (I/O);
- Fácil Roteamento;
- Possibilidade de Sistemas-on-Chip;
- Ferramentas de projeto;
- Utilização de funções parametrizáveis;
- Grande número de Células Programáveis.

CRIAÇÃO DE DECOFICADORES DIGITAIS

UTILIZANDO FERRAMENTAS DE SÍNTESE

AUTOMÁTICA

SISTEMAS DIGITAIS

Um sistema digital é um sistema discreto, isto é, transforma valores discretos de entrada em valores discretos de saída. Ele trabalha aplicando operações ou transformações nos valores de entrada. Os resultados dessas operações são passados a outras operações e, finalmente, para o valores de saída.

A descrição através de uma interpretação funcional do sistema é chamado de Descrição Comportamental. Em linguagem de descrição de hardware, a descrição comportamental é diretamente integrada na linguagem. Assim, pode-se trabalhar em uma descrição com um nível mais alto de abstração.

As ferramentas de síntese, trabalham em torno de modelos funcionais que representam algum conjunto de funções.

Um dos modelos que se pode trabalhar nessas ferramentas são os decodificadores. Estes, representam funções booleanas. Assim, cada um dos pinos de saída é uma função de todas as entradas.

Um decodificador de 7 segmentos representa bem esta ideia, ele possui 4 entradas (A, B, C, D) e 7 saídas (a, b, c, d, e, f, g) e a saída “a”, pode ser transcrita como:

$$a = F(A, B, C, D) = \Sigma(0,2,3,5,6,7,8,10,12,14,15) \quad (1)$$

Extrapolando para as outras saídas, determina-se as funções b, c, d, e, f, g e aplica-se os processos de minimização (fornecidas pelo ambiente de projeto Max + Plus II da Altera).

IMPLEMENTAÇÃO DE FORMAS DE ONDA ANALÓGICAS

O intervalo de valores possíveis de um contador, depende da quantidade de flip-flops que se está trabalhando, ou de outra forma, do número de bits. Assim, um contador de $n = 8$ bits, por exemplo, apresenta em função da contagem, valores em sua saída entre 0 e 255, ou seja, $2^n - 1$, onde n é o número de bits. Desta forma, a cada pulso de relógio a contagem aumenta em uma unidade percorrendo todos os valores de forma crescente. Acoplando-se a saída do contador a um decodificador com o mesmo número de bits, a cada valor de contagem, tem-se no barramento de saída do decodificador valores em função da contagem atual do contador. A frequência de saída do sistema, depende do número de bits e do relógio conforme (2). A Figura 3, representa o sistema que gera uma onda analógica partindo de recursos digitais.

$$f_{sinal} = \frac{f_{clock}}{2^n} \quad (2)$$

Onde:

n = número de bits do contador;

f_{clock} = frequência do relógio (entrada);

f_{sinal} = frequência do sinal (saida).

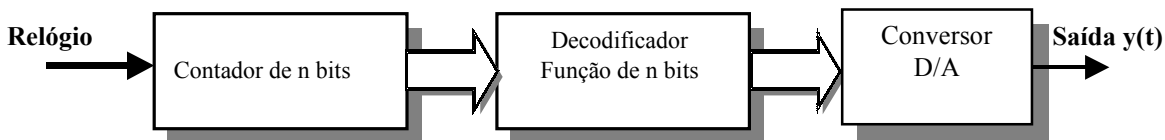


FIGURA 3.
GERAÇÃO DE SINAL ANALÓGICO UTILIZANDO DECODIFICADOR

FERRAMENTAS DE PROJETO BASEADAS EM SÍNTESE AUTOMÁTICA

Métodos de síntese automatizada ótima para equações Booleanas datam das décadas de 50 e 60 e não tinham a capacidade de resolver sistemas muito complexos. A necessidade de manipular quantidades crescentes de informações durante o projeto de sistemas digitais exigia a consideração constante de novas ferramentas. Estas deveriam transcender as atividades de facilitar a captura e de exercitar descrições, passando a ser capazes de gerar novas descrições de forma automatizada e corretas por construção, baseadas nos mesmos requisitos manipulados pelos projetistas. O estilo de projeto estabelecido por estas novas ferramentas baseia-se no uso de ferramentas computacionais e guia o processo de projeto. A ferramenta central possui embutido um conjunto de modelos de síntese, e é capaz de gerar uma descrição correta por construção, bem como uma avaliação do desempenho desta descrição. O laço de realimentação é fechado pelo projetista, que julga os resultados da síntese e aceita a descrição, ou a rejeita e escolhe um novo modelo de síntese para ser usado. Essa escolha pode ser feita com o auxílio de outras ferramentas distintas e apropriadas no processo de validação.

As ferramentas de simulação podem, ainda, ser entregadas, visando fornecer mais detalhes sobre a implementação. Frequentemente, o sintetizador gera uma descrição a partir dos requisitos, e refina esta descrição através de técnicas de otimização. Somente a descrição resultante deste processo é fornecida ao projetista.

ESTIMULAÇÃO ELÉTRICA FUNCIONAL E FORMAS DE ONDA

© 2003 ICECE

3rd International Conference on Engineering and Computer Education

A estimulação elétrica funcional (FES) vem sendo aplicada para restaurar e manter a atividade muscular de pacientes paralisados que sofreram lesão medular. Várias formas de onda de corrente e tensão vêm sendo aplicadas com sucesso na recuperação destes pacientes. Equipamentos desenvolvidos comercialmente, entretanto, apresentam de forma geral, serias restrições quanto à variação dos parâmetros do sinal aplicado (frequência, forma de onda, amplitude, número de pulsos em modulação tipo Burst, tempo de repouso, etc.) o que abre a possibilidade do desenvolvimento de equipamentos mais completos e versáteis.

Uma grande variedade de aparelhos está comercialmente disponível para aplicações eletroterapêuticas. A instrumentação na eletroterapia está se proliferando rapidamente com aos avanços da engenharia, dos desenvolvimentos na pesquisa de eletroterapia e do alcance ampliado dos problemas tratados pela eletroterapia.

Muitos aparelhos projetados antes do início dos anos 80 incluíam geradores de forma de onda capazes de produzir somente um tipo de forma de onda a partir de um único aparelho.

Hoje, contudo, muitos estimuladores disponíveis comercialmente são capazes de produzir várias formas de onda distintas, mas, muitos dos parâmetros de controles não estão disponíveis. Esta dificuldade, abre a possibilidade do uso de novas tecnologias e da introdução de equipamentos com mais recursos, possibilitando uma geração de pulsos mais adequada do ponto de vista fisiológico ao paciente e, também, mais confortável.

Este trabalho apresenta o desenvolvimento de uma ferramenta de síntese automática para a geração de circuitos digitais com o uso de tecnologia de lógica programável. Os circuitos gerados, representam formas de onda de diferentes tipos de especificações e utilizam somente componentes digitais. A ferramenta tem como entrada os principais parâmetros de uma equação.

MATERIAIS E MÉTODOS

March 16 - 19, 2003, São Paulo, BRAZIL

A ferramenta foi desenvolvida em linguagem C, e trabalha com funções analógicas para serem implementadas em hardware. A ferramenta gera um arquivo de HDL e para gerar um arquivo bastante pequeno, optou-se pela AHDL (*Altera Hardware Description Language*) da empresa Altera.

As formas de onda são parametrizadas com diferentes especificações, a ferramenta possui parâmetros de entrada para definir a quantidade de bits que o sinal digital deverá possuir e, também, a quantidade de pulsos necessários para percorrer-se um ciclo do sinal. Assim, se uma forma de onda tiver 8 bits de entrada e 12 bits de saída, tem-se uma forma de onda que necessita de um conversor D/A de 12 bits e 256 pulsos de relógio para completar um ciclo.

A ferramenta de síntese E2HDL gera o arquivo texto HDL.

O ambiente de programação MAX + Plus II da Altera simula e compila os arquivos HDLs e gera vários arquivos de reportagem e de interface com outros ambientes de programação.

O aplicativo TBL2M, foi desenvolvido para interpretar dados do arquivo .TBL (arquivo de simulação) e convertê-los em um arquivo gráfico do MatLab.

E, de forma geral, podemos descrever os passos para a geração de formas de onda como:

- Descrição da forma de onda (análise espectral);
- Utilização de uma das ferramentas de síntese para gerar o arquivo HDL (AHDL ou VHDL);
- Compilação, Simulação;
- Criação do Arquivo de Simulação TBL;
- Execução do Programa TBL2M;
- Visualização da forma de onda proposta no MatLab;
- Validação do Circuito;

RESULTADOS

A forma de onda escolhida para implementação em FPGA foi a onda denominada farádica. Esta onda tem como característica um pulso de breve duração seguido de um período de decaimento exponencial. A equação farádica, foi modelada de acordo com as especificações da literatura de eletroterapia [7]. A Figura 4, apresenta a onda farádica simulada com 8 bits de entrada e 8 bits de resolução. Na figura, além da forma de onda, são mostrados os valores dos contadores em função do tempo.

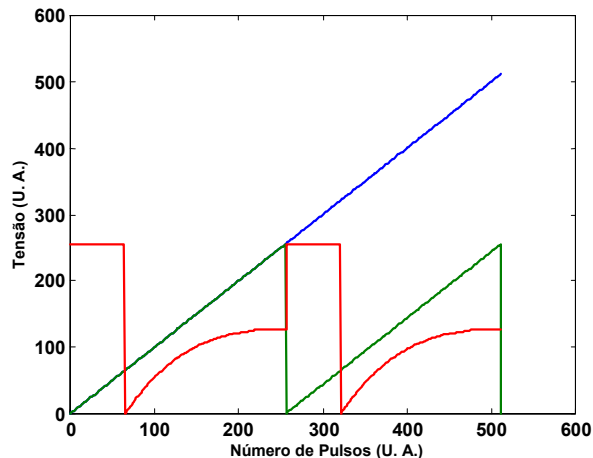


FIGURA 4.
FORMA DE ONDA IMPLEMENTADA EM FPGA

A Figura 5, apresenta a mesma forma de onda plotada com 5 períodos.

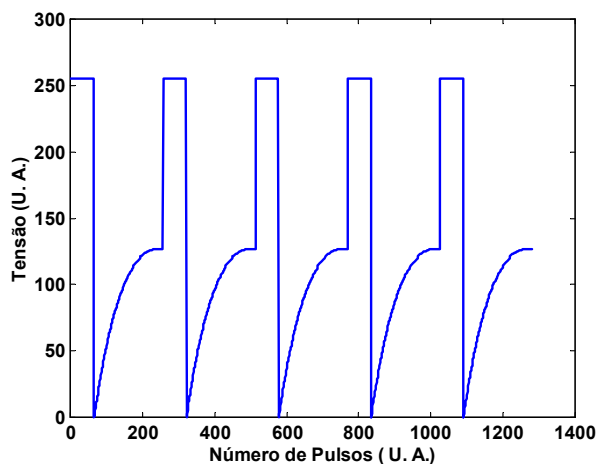


FIGURA 5.
FORMA DE ONDA IMPLEMENTADA EM FPGA

CONCLUSÕES

As ferramentas de síntese automática apresentaram-se como poderosas ferramentas para a geração de circuitos digitais.

A estrutura em hierarquia de projeto permite que, uma vez necessária a modificação da forma de onda previamente descrita, a fácil substituição desta por uma outra mais adequada dentro do projeto.

As frequências de trabalho realizadas nas medições e simulações, permitem a implementação física das formas de onda, já que o objetivo é a aplicação em sistemas de Estimuladores Neuromusculares onde a frequência de trabalho é quase sempre menor que 10 KHz.

REFERÊNCIAS

- [1] Gajski, D.D & Kuhn, R. H. "New VLSI Tools". IEEE Computer, New York, 16 (12): 11-14, Dezembro 1993.

- [2] <http://www.inf.pucrs.br/~moraes/org/metodos.pdf>, acessado em 29/08/2002.
- [3] A. C.R. Silva, A. S. Cardoso, “*A new Environment to Generation of analog Waveform Using AHDL*”. In: SBMICRO 2000 - XV International Conference on Microelectronics and Packaging. ,Manaus -MA –Brasil, Setembro de 2000.
- [4] A. C.R. Silva, A. S. Cardoso, “*An Environment to aid the Synthesis of Threephase Analogue Waveform Using AHDL*”. In: SBCCI 2001 - 14th SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, Brasília - DF, Brasil, Setembro de 2001.
- [5] Altera, Max + Plus II AHDL, Versão 6, Novembro de 1995.
- [6] Altera, Max + Plus II VHDL, Versão 6, Novembro de 1995.
- [7] Robinson, J., “*Eletroterapia e teste fisiológico*” – Editora Artmed – Segunda Edição, 2001.